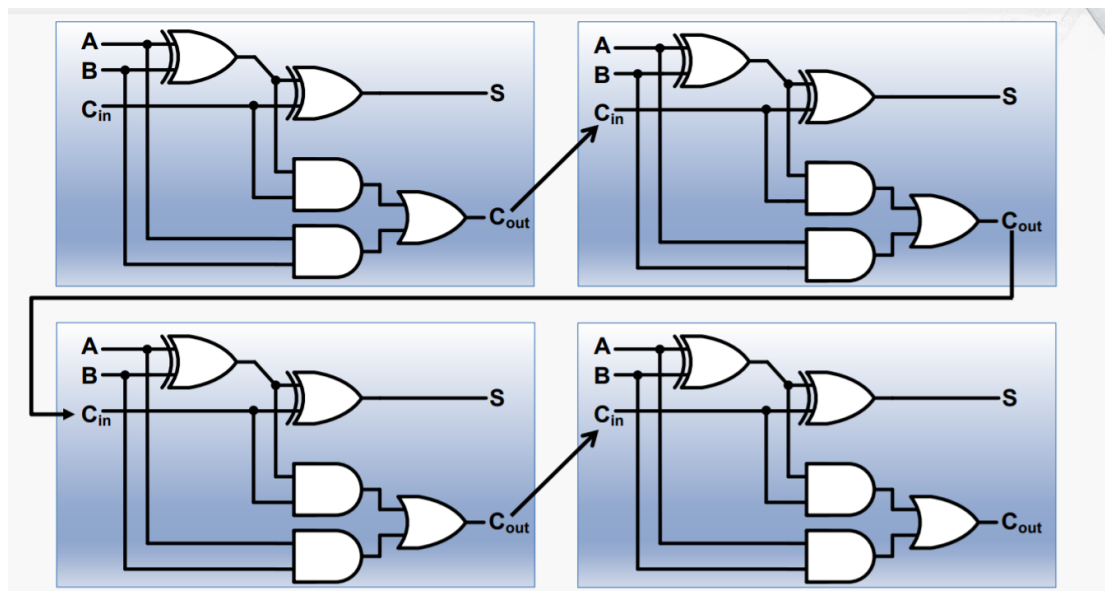


64 位加法器

实验结构图



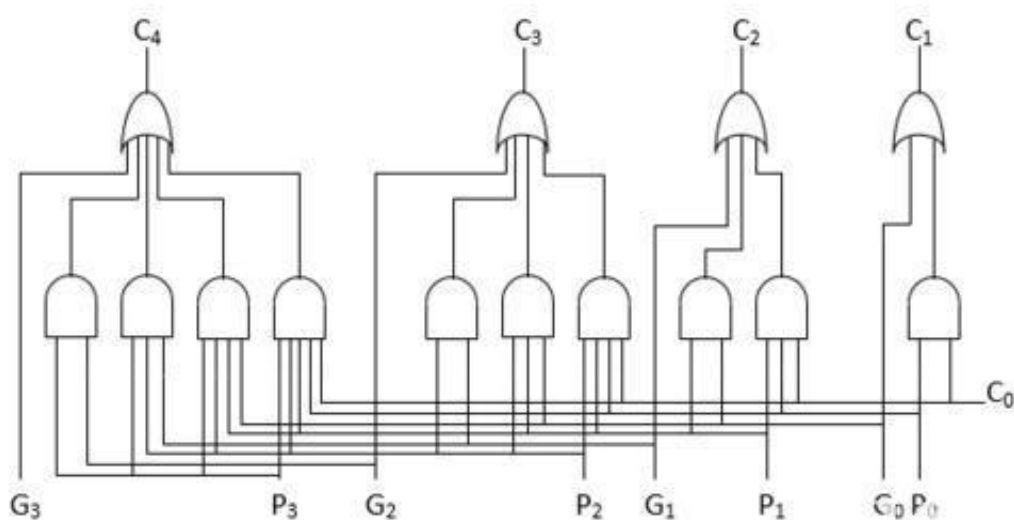
实验内容

加法器是一种用于执行加法运算的数字电路部件，是构成电子计算机核心微处理器中算术逻辑单元的基础。在这些电子系统中，加法器主要负责计算地址、索引等数据。除此之外，加法器也是其他一些硬件，例如二进制数的乘法器的重要组成部分。

本次实验需要以门电路的方式构建一个最简单的 64 位串行进位加法器。其基本结构为分为 3 层：

- i. 最底层的 4 位加法器（门电路构成）
- ii. 由 4 个 4 位加法器串联，构成中层 16 位加法器
- iii. 由 4 个 16 位加法器串联，构成上层 64 位加法器

串行进位加法器，顾名思义是串行执行的，需要从最低位开始计算，之后把进位传给高位，再逐级向上传递。此种设计结构简单，功耗较低，非常适合同学们作为入门实验。但串行进位加法器同时也有致命的缺点：延迟高。为了降低延迟，提升运算效率，人们设计出了超前进位加法器、分组进位加法器等等架构。这里我们就以超前进位加法器为例给出结构图：



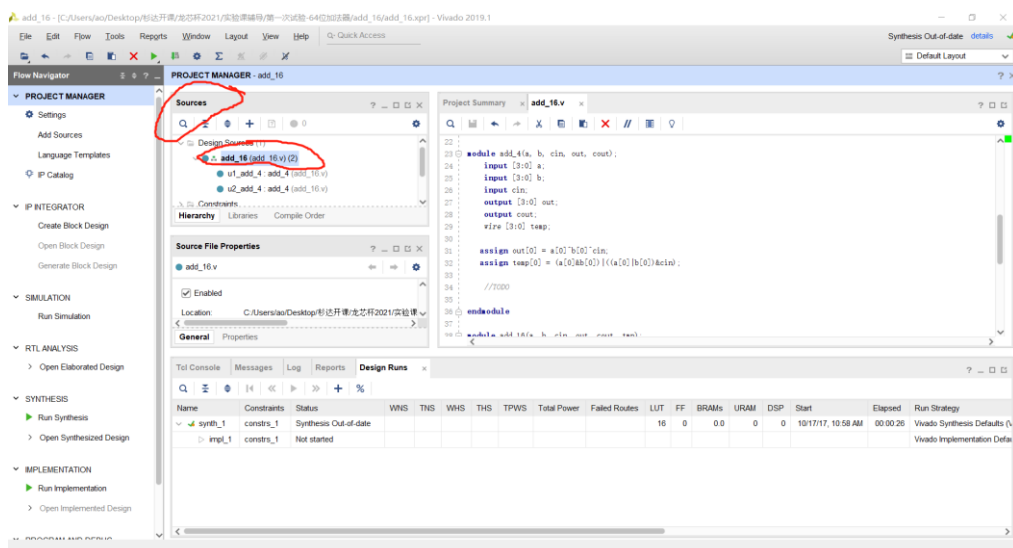
超前进位加法器(Carry-lookahead adder)是对普通的串行进位加法器进行改良而设计成的并行加法器，主要是针对普通全加器串联时互相进位产生的延迟进行了改良。超前进位加法器是增加了一个不是十分复杂的逻辑电路来实现各个运算模块并行运算；即各个进位是同时计算，高位不需要等待低位的运算结果。大大降低了运算延迟，提高了运算效率。有兴趣的同学可以尝试实现超前进位加法器，并与串行进位加法器的延迟进行比较。

实验说明

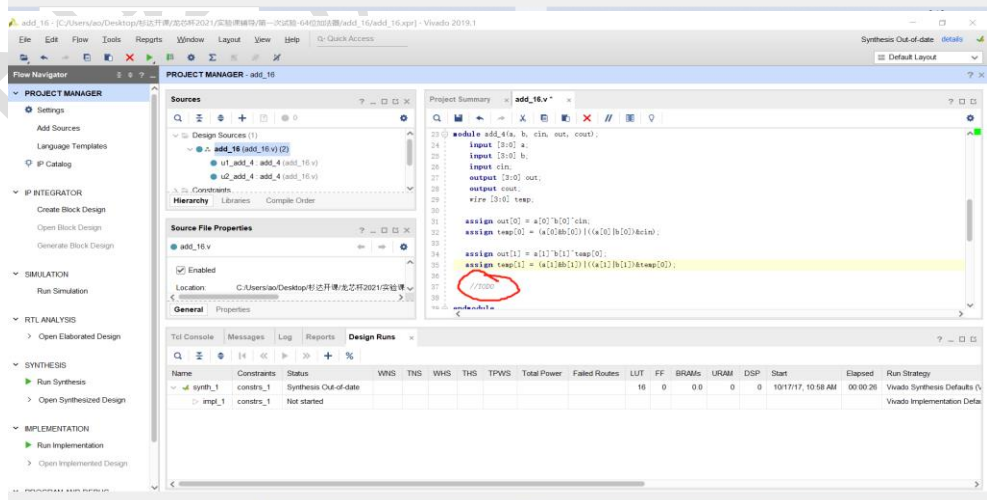
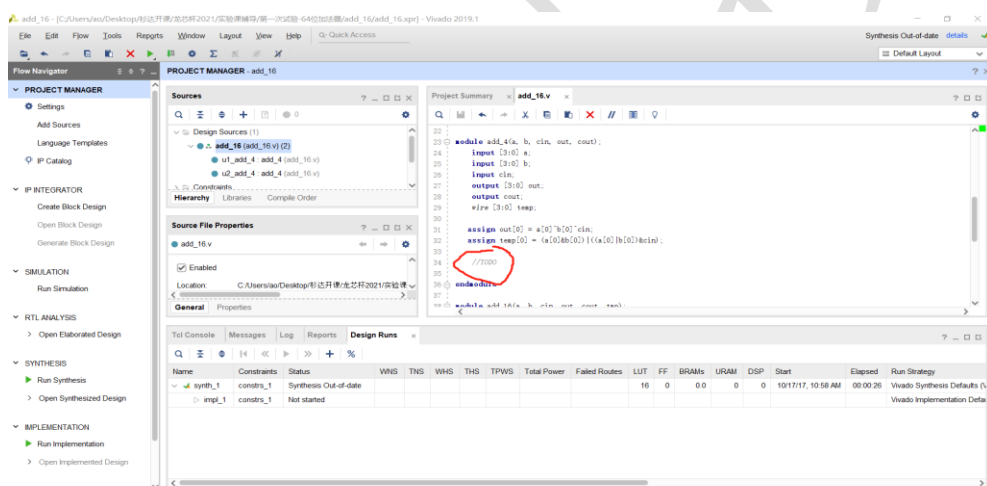
1. 本次实验旨在让同学们了解熟悉 Verilog 语言以及 Vivado 软件。虽然实验内容本身并不困难，但是希望同学们能够认真对待，借此熟悉软件的使用法。
2. 底层 4 位全加器必须使用逻辑门电路，即按位异或的方式来进行计算，**不可**直接在代码中使用“ $a + b$ ”这样的语句进行计算！
(注：“ $a + b$ ”这样的语句实际是合法的，Vivado 也会自动综合为加法电路，但在本次实验中还请同学们自己动手实现一个电路加法器，不要依赖软件的辅助功能)
3. 本次实验至少要求完成一个串行进位的 64 位加法器，并仿真测试通过。有兴趣的同学可以尝试实现超前进位加法器，并与串行进位加法器的延迟进行比较。

实验步骤

1. 下载实验项目包“add_16”，解压后用 Vivado 软件打开“add_16.xpr”进入项目。
(注：本次发给同学们的是一个去掉了部分代码的 16 位加法器项目，同学们需要先完成 16 位加法器，而后将其扩展为 64 位加法器)
2. 打开项目后点击 Sources 并找到其中的源文件

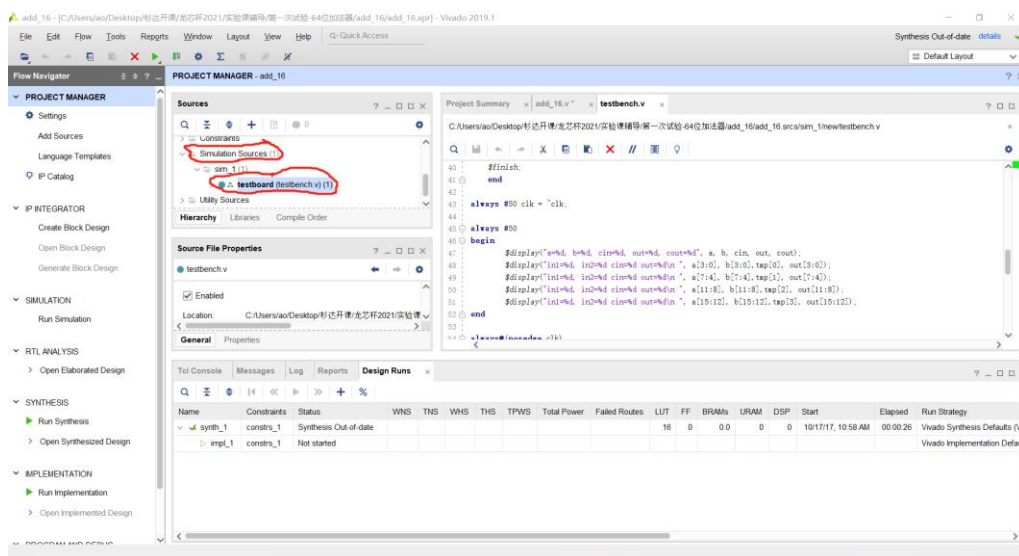


3. 找到代码中标识的“TODO”部分，并将其补充完整



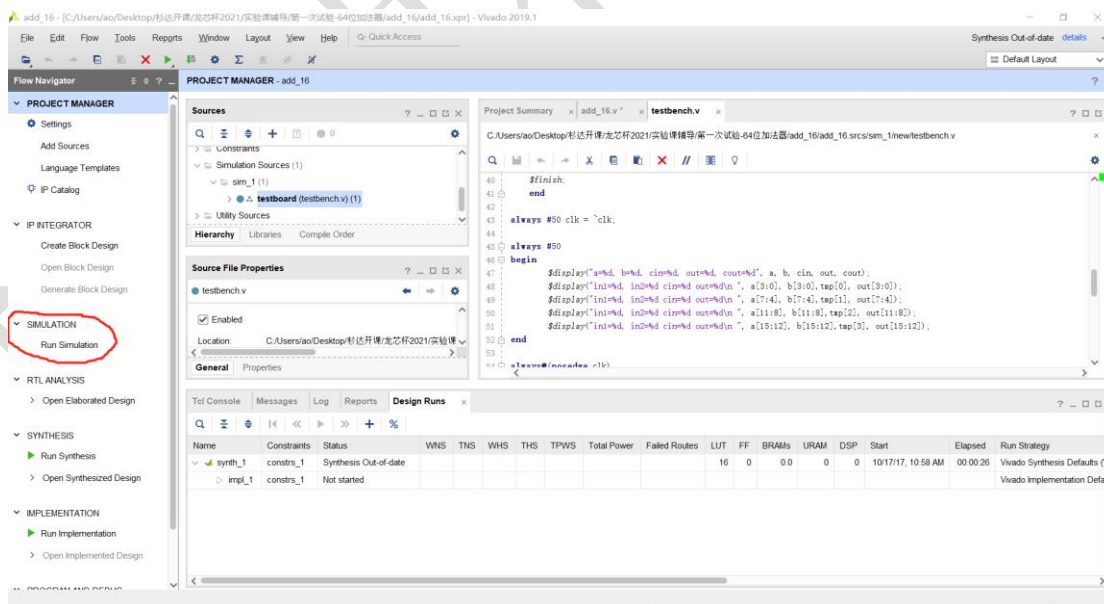
Hint: 首次实验比较简单，TODO 部分仿照前几行代码修改一下数据的位数即可完成。

4. 点击 Simulation Sources, 编写 testbench 文件

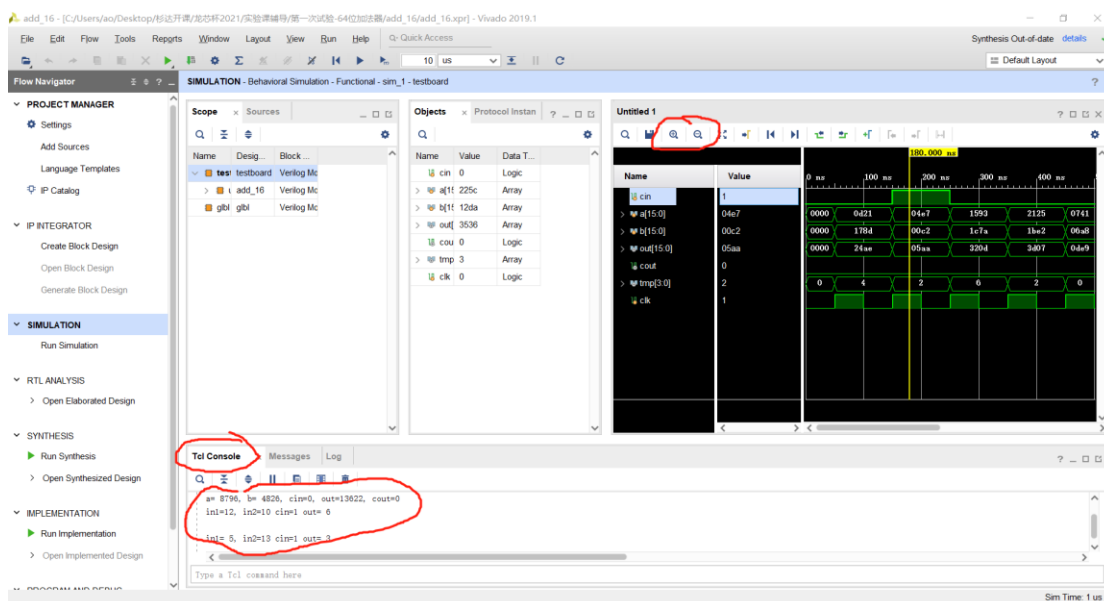


注：16 位加法器的测试文件已经写好，无需修改可以直接进行仿真；扩展到 64 位时需要进行对应修改。

5. 点击 Run Simulation 进行仿真



6. 对仿真波形进行检查, 并根据其中的问题对代码进行修
改,



Hint 1: 点击波形上方的“+”和“-”可以对波形进行放大和缩小，一开始看不到波形可能是因为波形过大，多点几下“-”即可。

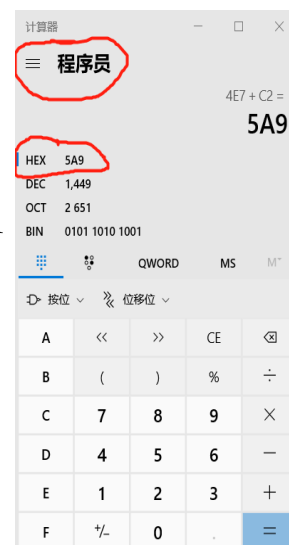
Hint 2: 波形绿色为正常，若出现红色、黄色、蓝色等颜色的波形，则说明代码有问题，需要返回修改。其中红色代表未赋值，蓝色代表位宽错误。

Hint 3: 波形中显示的为 16 进制数，可使用电脑自带的计算器进行验算。计算器中有“程序员”选项，选择其中的 HEX 即为 16 进制计算。

Hint 4: 验算时不要忘了 Cin

当 Cin 为 1 时，out 的值应该为 $a + b + 1$

Hint 5: 在屏幕下方 Tcl console 也可以看到输出的运算结果，这里是 10 进制



7. 16 进制加法器仿真通过，且运算结构正确后即可开始 64 进制加法器的编写。仿照上述步骤，分别修改 Design Sources 和 Simulation Sources，而后进行模拟仿真，再对照波形调试代码，直至仿真结果正确。

Hint:64 位加法器可调用 4 个 16 位加法器模块来完成。

8. 有兴趣的同学还可以仿照上述步骤对串行进位加法器的运算结构进行改进，完成超前进位加法器，并与串行进位加法器的延迟进行比较。

提交方式

请同学们与本周日（6 月 6 日）24:00 前将工程文件项目打包好，命名为“姓名_add_64.zip”的格式发送至邮箱 aoyunbiao@purlytech.com

完成了超前进位加法器的同学请注明。